

JPO 0/06 87

PCT/JP00/06587

09/856847

01.11.00

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

ESU

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 9 月 2 7 日

REC'D 22 DEC 2000

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 2 7 2 3 7 9 号

WIPO

PCT

出 願 人

Applicant (s):

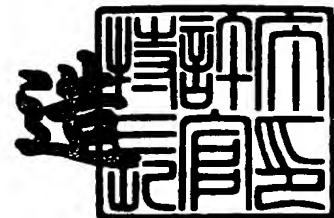
松下電器産業株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 0 年 1 2 月 8 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 1 0 1 3 7 4

【書類名】 特許願

【整理番号】 2033811023

【提出日】 平成11年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 5/39

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 小田川 明弘

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 平本 雅祥

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 松川 望

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 足立 秀明

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 榎間 博

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【ブルーフの要否】 不要

【書類名】 明細書

【発明の名称】 磁気抵抗効果型記憶素子

【特許請求の範囲】

【請求項 1】 (a)第 1 の強磁性層と、前記第 1 の強磁性層とは外部印可磁界に対する磁化反転の特性が異なる第 2 強磁性層と、

(b)前記第 1 の強磁性層と前記第 2 の強磁性層の間に挟み込まれた第 1 非磁性層と、

(c)前記第 1 の強磁性層のみ、あるいは前記第 1 の強磁性層および前記第 2 の強磁性層の磁化を反転するための磁界を発生するために設けられた、前記第 1 の強磁性層および前記第 2 の強磁性層と電気的に接していない第 1 の導電層と、

(d)前記第 1 の強磁性層から前記第 1 の強磁性層と前記第 2 強磁性層の間に挟み込まれた前記第 1 非磁性層を介して、前記第 2 の強磁性層まで電流を流すための導電性径路を構成する第 2 の導電層を有して構成されており、

前記非磁性層が窒化物により構成されることを特徴とする磁気抵抗効果型記憶素子。

【請求項 2】 請求項 1 に記載される磁気抵抗効果型記憶素子であって、前記第 1 の強磁性層および前記第 2 の強磁性層のうち、少なくとも 1 つ以上が窒化物により構成されることを特徴とする磁気抵抗効果型記憶素子。

【請求項 3】 請求項 1 に記載される磁気抵抗効果型記憶素子であって、前記非磁性層が AlN で構成されることを特徴とした磁気抵抗効果型記憶素子。

【請求項 4】 請求項 2 に記載される磁気抵抗効果型記憶素子であって、前記第 1 強磁性層および前記第 2 強磁性層のうち、少なくとも 1 つ以上が Fe、Co を主成分とする窒化物により構成されることを特徴とする磁気抵抗効果型記憶素子。

【請求項 5】 請求項 1 - 4 のいずれかに記載される磁気抵抗効果型記憶素子であって、前記第 1 強磁性層と前記第 2 強磁性層と、その間に挟み込まれた前記第 1 非磁性層とを含めた 3 層を基本層とし、前記基本層が層間非磁性層を介して周期的に積層した多層構造を有することを特徴とする磁気抵抗効果型記憶素子。

【請求項 6】 請求項 5 に記載される磁気抵抗効果型記憶素子であって、前記多層構造に含まれる、前記第 2 強磁性層に代表される強磁性層の保磁力の大きさ

が、それぞれ異なっていることを特徴とする磁気抵抗効果型記憶素子。

【請求項 7】 (a)前記第 1 の強磁性層と前記第 1 の強磁性層とは外部印可磁界に対する磁化反転の特性が異なる第 2 の強磁性層と、

(b)前記第 1 の強磁性層と前記第 2 の強磁性層の間に挟み込まれた第 1 非磁性層と、

(c)前記第 1 の強磁性層のみ、あるいは前記第 1 の強磁性層および前記第 2 の強磁性層の磁化を反転するために設けられ、前記第 1 の強磁性層および前記第 2 の強磁性層と電気的に接していない第 1 の導電層と、

(d)前記第 1 の強磁性層から前記第 1 の強磁性層と前記第 2 の強磁性層の間に挟み込まれた前記第 1 の非磁性層を介して、前記第 2 の強磁性層まで電流を流すための導電性径路を構成する第 2 の導電層を有して構成されており、

外部印可磁界に対して磁化反転を起こしにくく、前記第 1 導電層から前記第 2 導電層にあるいは前記第 2 導電層から前記第 1 導電層に電流を印可した際に得られる電圧特性に於いて、正方向のバイアスと負方向のバイアスに対する電流電圧応答が、対称でないことを特徴とする磁気抵抗効果型記憶素子。

【請求項 8】 請求項 1 - 6 のいずれかに記載される磁気抵抗効果型記憶素子であって、前記第 1 の強磁性層と前記第 1 の導電層との間に、あるいは前記第 1 の導電層の 1 部分に、あるいは前記第 2 の強磁性層と前記第 2 の導電層との間に、あるいは前記第 2 の導電層の 1 部分に、非線形的な電流電圧特性を有する非線形素子を付与することを特徴とする磁気抵抗効果型記憶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

磁気抵抗効果（以下、MR と称す）を利用した記憶素子に関し、特に、微細な形状の磁気抵抗効果型記憶素子、高密度磁気抵抗効果型デバイスに関するものである。

【0002】

【従来の技術】

MR 膜を用いた固体記憶デバイスは Schuee（参考文献 1）によって提案され、

記録磁界発生用の電流線であるワード線とMR膜を用いた読み出し用のセンス線より成る色々なタイプのMRAMが研究されている（参考文献2）。これらの記憶デバイスにはMR変化率が2%程度の異方性MR効果（AMR）を示すNiFe膜等が使用され、出力の向上が課題であった。

【0003】

非磁性膜を介して交換結合した磁性膜より成る人工格子膜が、巨大磁気抵抗効果（GMR）を示すことが発見され（参考文献3）、GMR膜を用いたMRAMの提案がなされた（参考文献4）。しかしながら、この反強磁性交換結合をした磁性膜より成るGMR膜は、大きなMR変化率を示すものの、AMR膜に比べ大きな印加磁界を必要とし、大きな情報記録及び読み出し電流を必要とする問題点がある。

【0004】

上記の交換結合型GMR膜に対して、非結合型GMR膜としてはスピバルブ膜があり、反強磁性膜を用いたもの（参考文献5）、及び（半）硬質磁性膜を用いたもの（参考文献6）があり、これらはAMR膜と同様の低磁界で、かつAMR膜より大きなMR変化率を示す。本発明は、反強磁性膜、あるいは硬質磁性膜を用いたスピバルブ型を用いたMRAMであり、この記憶素子が非破壊読み出し特性（NDRO）を有することを示すものである（参考文献7）。

【0005】

上記のGMR膜の非磁性層はCu等の導体膜であるが、非磁性層に Al_2O_3 等の絶縁膜を用いたトンネル型GMR膜（TMR）の研究も盛んとなり、このTMR膜を用いたMRAMも提案されている。

【0006】

GMR膜で膜面に垂直に電流を流した場合のMR効果（CPPMR）の方が膜面内に電流を流した場合のMR効果（CIPMR）より大きいことが知られており、更にTMR膜はインピーダンスが高いことより、より大きな出力が期待される。

【0007】

【発明が解決しようとする課題】

しかし、TMR膜におけるトンネル接合においては、素子の微細化に伴って素子の接合インピーダンスが次第に大きくなる。

【0008】

トンネル接合面積が $0.1\mu\text{m}\times 0.1\mu\text{m}$ 程度になってくると、接合インピーダンスが高くなりすぎてしまい、信号を読みとれなくなってしまうため、望ましい接合抵抗を与えるトンネル絶縁体が望まれる。

【0009】

またトンネル素子に於いて、接合界面での散乱が強いと良い素子特性が得られないことから、接合界面の状態は接合特性を大きく左右するといえる。

【0010】

従来例においては、非磁性絶縁層に Al_2O_3 を用いてトンネル接合を構成するのが一般的であるが、この絶縁層の作製には良好な絶縁特性を得るために、金属Al膜の自然酸化あるいはプラズマ酸化により作製される。

【0011】

しかしながら、この様な作製法では、非磁性層中に金属層と絶縁層が存在してしまう可能性があり、トンネル特性を劣化させてしまう要因となってしまう。

【0012】

【課題を解決するための手段】

本発明は、これらの課題を、非磁性絶縁層に窒素物を、あるいは磁性層も共に窒化物を用いることを特徴とし、トンネル接合インピーダンス低減化、あるいは非磁性絶縁層との理想的な接合界面の作製を可能とし、これらを行列状に配置した高密度磁気抵抗効果型記憶デバイスを実現するものである。

【0013】

【発明の実施の形態】

図1(a)は(半)硬質磁性膜を用いたスピバルブ型（以下ではHMスピバルブと呼ぶ）記憶素子の素子構成図である。

【0014】

図において(半)硬質磁性膜HM(11)、非磁性膜NM(12)、軟磁性膜SM(13)より成るMR素子部は導電体S(14、15)に接合され、センス線

を構成している。同じく導電体で構成されるワード線W (17) は絶縁膜I (16) によって記憶素子および前記センス線と絶縁されている。

【0015】

この記憶素子においてはワード線電流（及びセンス線電流）によって発生する磁界により磁性膜HMの磁化反転により情報を書き込み、読み出しは磁性膜HMの磁化反転は起こさずに磁性膜SMのみの磁化反転によって行う。従ってこの記憶素子は本質的にNDR Oが可能であるが、磁化反転のしきい値は磁性膜HM及びSMの保磁力に対応する記録用Hhと読み出し用Hsの二つが必要である。

【0016】

図1 (b)は反強磁性膜（あるいは磁化回転抑制膜）を用いたスピバルブ型（以下ではAFスピバルブと呼ぶ）記憶素子の構成概略図を示す。MR素子部の磁性膜M (19) は反強磁性膜AF (18) と交換結合しており、ワード線電流（及びセンス線電流）によって発生する磁界では磁化反転しせず、非磁性膜NM (12) で磁氣的に分離された軟磁性膜SM (13) のみが磁化反転する。

【0017】

従って情報の書き込みと読み出しは軟磁性膜の磁化反転によって行われNDR Oは困難であるが、磁化反転しきい値は一つで動作原理はシンプルである。

【0018】

これらMR素子（CPPMR素子タイプ）を、図2に示したように行列状に配置すればMRAMデバイスが得られる。

【0019】

行列状に配置する際、図3に示すようなCI PMR素子を用いる場合には、各素子は直列につながれることとなり、素子の個数Nが多くなると、一個の素子が示すMR比は同じでもMRAMとしてのS/Nは低下すると考えられる。

【0020】

これに対して、図2に示すようなCPPMR素子を用いたMRAMは、図1 (a)、1 (b)のどちらかのタイプのMR素子においても、素子は並列につながれるため、素子の個数Nが増加してもS/Nは低下しない。

【0021】

また、これらMRAMデバイスは磁気の記憶素子であるので半導体記憶素子のDRAMとは異なり不揮発性であり、半導体のフラッシュ型記憶素子とは異なり、書き込み／読み出し回数が原理的には無限回でかつ書き込み／消去時間もnsのオーダー（参考文献9）で早いのが特色である。

【0022】

図4に、図1(a)に示したHMスピンバルブ型記憶素子の動作原理を示す。情報記録は図4(a)に示した様に、ワード線W(17)にパルス電流を流し、硬質磁性膜HM膜(11)のH_hを越える磁界を発生し磁性膜HMを磁化して記憶状態”1”、”0”の記録を行う。

【0023】

情報の読み出しはワード線に弱電流パルスを流し、軟磁性膜SM(13)のH_s以上、硬質磁性膜のH_h以下の磁界を発生させ、軟磁性膜SMの磁化反転のみを起こして、その時生ずるMR膜に接続されたセンス線からの抵抗変化の違いにより”1”、”0”の記憶状態を識別する。

【0024】

例えば図4(b)において正のパルスの場合は記憶状態”1”に対して抵抗変化が無く、”0”に対して抵抗が増加する。反対に、負のパルスの場合は上記と逆になり、更に図4(b)に示した様な正→負のパルスを組み合わせた場合は、記憶状態”1”のとき、抵抗変化は零→正であるので変化率は正であり、反対に”0”のときは抵抗の変化率は負になる。

【0025】

この様にして情報の読み出しが可能であるが、HMスピンバルブ型記憶素子において特徴的な事は、磁性膜HMの磁化状態は読み出し中不変であるのでNDRが可能となる。

【0026】

図5は図1(b)のAFスピンバルブ型記憶素子の動作原理である。磁性膜Mは反強磁性膜AF(18)と交換結合して、その磁化は一方向にピン止めされている。ワード線W(17)に流す電流の方向を変えて軟磁性膜SM(13)を異なる方向に磁化反転して、”1”、”0”の記録を行う。

【0027】

読み出しはワード線に一方方向にだけ電流を流し、その時スピバルブ膜から成るセンス線に抵抗変化が生ずるか否かで記録されている情報が、“1”か“0”かを識別する。従ってこの場合は記録された情報は破壊されるのでNDR0は困難である。

【0028】

MR素子部に(半)硬質磁性膜／非磁性膜／軟磁性膜／非磁性膜なる構成要素を複数回積層し、各(半)硬質磁性膜の保磁力が異なるものを用い、記録用のしきい値を複数有するものとすれば、多値記憶が可能である。保磁力を変化させるのには、組成を変化させても、膜厚を変えても良い。

【0029】

この場合、図6に示すよう抵抗変化の大きさによって、多値の記憶を独立に読みとることができる。一例として示した図6は積層数が3回で、一つの記憶素子に3つの値を記憶することができるものである。読み出しはワード線に一方方向にだけ電流を流し、その時のセンス線からの信号に現れる抵抗変化分を参照抵抗Rに対して読み出すことにより行うものである。このRは、比較する記憶素子の抵抗変化の範囲内にあることが好ましく、記憶素子の一つを参照抵抗に用いるのがより好ましい。

【0030】

以上は1ビットの素子についての動作原理の説明であるが、実際の記憶素子を構成する場合は図2に示したようにこれら素子を行列状に配置する必要がある。その場合は各素子に対して、例えば(N,M)番地の素子上で直交する2本のワード線か、同じく直交する様に配置されたセンス線とワード線を用いて、磁界を発生して、情報の書き込みを行う。

【0031】

図1(a)のタイプの場合は合成磁界が硬質磁性膜のアステロイド型曲線のスイッチング磁界を越えれば情報の書き込みがなされ、又それを越えずに軟磁性膜のスイッチング磁界を越えれば情報の非破壊読み出しが所望の記憶素子について行われる。

【0032】

図1(b)のタイプの場合も合成磁界で軟磁性膜を反転して情報を書き込む点では基本的には同様である。またこれら記憶素子の情報の読み出しに関しては(N, M)番地の素子に直近する2本のワード線に電流パルスを通し、同じく(N, M)番地の素子に接続されたセンス線を通じての抵抗変化により、(N, M)番地の素子部の情報を読み出すことが可能である。

【0033】

さらにワード線群とセンス線群に、トランジスタのようなスイッチング素子をそれぞれ配置し、番地指定の信号により、N行とM列のワード線とN行M列のセンス線を選択して、(N, M)番地の記憶素子を選択することができる。この際、信号パルスを効率よく伝送するために、特に他経路を介した信号パルスの流入や信号パルスの高速化に伴う高調波成分の逆戻りを防止するために、各記憶素子に整流作用に類する非線形且つ非対称な電気特性を有する素子を配すること、あるいは記憶素子自体が非対称な電流電圧特性を有していることが望ましい。

【0034】

また、記憶素子の高密度化に伴って、ワード線によって発生させる磁界の、選択する素子以外の場所への漏れの影響が大きくなって来る。これら漏れ磁界による選択素子以外への干渉効果を低減させるために、(N, M)番地に対して磁界を発生する1組のワード線のみに電流パルスを通すだけでなく、その両端あるいは隣り合う、少なくとも1本あるいは1組以上のワード線にも電流パルスを通し、発生する漏れ磁界を打ち消して、その影響を低減させることができるようにすることが好ましい。

【0035】

固定層(11あるいは19)の金属磁性膜としては、Co、FeまたはCo-Fe、Ni-Fe、Ni-Fe-Co合金等の材料が優れている。特にCo、FeまたはCo-Fe合金が大きなMR比を得るのに良いので非磁性層(12)との界面に、これらを用いることが望ましい。また、更に非磁性層は窒化物の絶縁体が好ましく、界面性を良好にするために、固定層もCo、FeまたはCo-Feの窒化物であることが、より好ましい。

【0036】

固定層（1 1あるいは1 9）の酸化物磁性膜としては MFe_2O_4 （MはFe,Co,Niから選ばれる1種もしくは2種以上の元素）が望ましい。これらは比較的高温まで強磁性を示し、Fe-richに比べCo,Ni-richは極めて抵抗が高い。又Co-richは磁気異方性が大きい特長があるので、これらの組成比の調整により所望の特性のものが得られる。

【0 0 3 7】

固定層3の全体の膜厚は1nm以上10nm以下が好ましい。

【0 0 3 8】

更に、固定層に接するAF層として用いられる磁化回転抑制層としては、金属膜としては不規則合金系のIr-Mn,Rh-Mn,Ru-Mn,Cr-Pt-Mn等があり、磁界中で成膜することにより磁性膜と交換結合させることができ工程が簡便となる利点がある。一方規則合金系のNi-Mn,Pt-(Pd)-Mn等は規則化のための熱処理が必要であるが、熱的安定性に優れており、特にPt-Mnが好ましい。また酸化物膜としては、a-Fe₂O₃やNiO、あるいはLT0₃（LはCeを除く希土類元素を示し、TはFe、Cr、Mn、Coを示す。）を用いることが好ましい。

【0 0 3 9】

図1に示した磁気抵抗素子の自由層（1 3）として一般には、Ni-Co-Fe合金が適している。Ni-Co-Fe膜の原子組成比としては、 $Ni_xCo_yFe_z$

$$0.6 \leq x \leq 0.9$$

$$0 \leq y \leq 0.4$$

$$0 \leq z \leq 0.3$$

のNi-richの軟磁性膜、もしくは、 $Ni_{x'}Co_{y'}Fe_{z'}$

$$0 \leq x' \leq 0.4$$

$$0.2 \leq y' \leq 0.95$$

$$0 \leq z' \leq 0.5$$

のCo-rich膜を用いるのが望ましい。

【0 0 4 0】

これらの組成の膜はセンサーやMRヘッド用として要求される低磁歪特性(1×10^{-5})を有する。

【0 0 4 1】

また、自由層の膜厚としては1nm以上10nm以下がよい。膜厚が厚いとシャント効果でMR比が低下するが、薄すぎると軟磁気特性が劣化する。より望ましくは2nm以上7nm以下がよい。

【0 0 4 2】

このとき、自由層の界面磁性層の膜厚が厚いと、軟磁気特性が劣化しMR比の磁界感度が低下するので、界面磁性層の膜厚は2nm以下、望ましくは1.2nm以下とすることがある。またこの界面磁性層が有効に働くためには、少なくとも0.2nm以上の膜厚は必要であり、望ましくは0.8nm以上の膜厚がよい。界面磁性層の材料としては、CoまたはCo高濃度のCo-Fe合金が優れている。

【0 0 4 3】

TMR素子を行列状に配置したMRAMを構成する際に、記憶セルの選択性を得るために、図7に示すように素子と直列に、整流作用に類する非線形且つ非対称な電気特性を有する素子(NL)を配することが望ましい。図7ではTMR素子に対して、下部にNLを配しているが、もちろん上部に配しても構わない。このような素子として、金属(M)－絶縁体(I)－半導体(S)のM-I-S構造のもの、あるいはP型半導体－N型半導体のP-N接合やP型半導体－絶縁体(I)－N型半導体のP-I-N接合にて構成されるものが好ましい。TMR素子の特性には熱処理温度依存性があり、一部の材料においては、約400度以上においてはMR特性が得られにくくなることが知られている。そこで、磁性材料の成膜後に上記の非線形素子を作製する場合においては、a-Si等の約300度以下で作製可能な材料を用いるのが良い。

【0 0 4 4】

以下に、具体的な例について説明する。

【0 0 4 5】

(実施例1)

ターゲットに $\text{Ni}_{0.68}\text{Co}_{0.2}\text{Fe}_{0.12}$ (磁性膜SM用)、Al (非磁性絶縁層NM用)、 $\text{Co}_{0.75}\text{Pt}_{0.25}$ (磁性膜HM用) を用い (組成は全て原子%)、多元スパッタ装置により基板上に図1(a)に示されたようなサンドイッチタイプの

CoNiFe(15)/AlN(1)/CoPt(10) (カッコ内は厚さ(nm)を表す)

の磁気抵抗素子を作製した。非磁性絶縁層NMのAlNは、(N₂+Ar)雰囲気中でAlをスパッタ製膜して作製した。なお各膜厚はシャッターで制御して作製した。HM膜のCoPtを着磁し、素子のMR特性を室温、印可磁界100 0eで測定したところ、MR比は26%であった。MRが生じる磁界幅は5 0e、10 0eであった。このときの接合面積は、5ミクロン角であった。このときの接合のインピーダンスは約30 Wであった。さらに、接合のインピーダンスは成膜条件により、数Wから数百Wで制御することができることがわかった。このような接合を用いて、図1(a)に示したような記憶素子を作製した。センス線用導電膜にはPt、Auを用い、ワード線用導電膜にはAlあるいはAuCr、Ti/Au、Cu/Taを用いた。記憶素子とワード線との絶縁にはCaF₂あるいはSiO₂を用いている。

【0046】

この記憶素子の動作を確認するべく、ワード線に電流を流してHM膜を一方方向に磁化し(図8(a))、次にやはりワード線に図8(b)のような電流パルスワード線に印可して、センス線を通じて測定した記憶素子の電圧変化をモニターした。図8(c)に示すように、記憶情報に応じて、変化が正負のパルスとして検出でき、本発明の磁気抵抗効果型記憶素子の実現できたことが分かった。

【0047】

(実施例2)

実施例1と同様に多元スパッタ装置を用いて、図1(b)に示すような磁気抵抗素子を作製した。ターゲットにNi_{0.1}Fe_{2.9}O₄(磁性膜SM用)、Al(非磁性絶縁層NM用)、Ni_{0.2}Fe_{2.8}O₄(磁性膜M用)、IrMn(磁化回転抑制層AF用)を用いて(組成は全て原子%)、

Ni_{0.1}Fe_{2.9}O₄(5)/AlN(1.2)/Ni_{0.2}Fe_{2.8}O₄(10)/IrMn(20) (カッコ内は厚さ(nm)を表す)

の磁気抵抗素子を作製した。なお、AlNは実施例1の方法で用意した。素子のMR特性を室温、印可磁界100 0eで測定したところ、MR比はおよそ24%であった。このときの接合面積は、5ミクロン角であった。

【0048】

MRAM動作を検証するために、センス線用導電膜にはAuを用い、ワード線用導電膜にはAuCrを用いた。記憶素子とワード線との絶縁には SiO_2 を用いている。

【0049】

この記憶素子の動作を確認するべく、ワード線に電流を流してSM膜を一方に磁化し（図9(a)）、次にやはりワード線に図9(b)のような電流パルスワード線に印可して、センス線を通じて測定した記憶素子の電圧変化をモニターした。図9(c)に示すように、記憶情報に応じて、変化がパルスとして検出でき、本発明の磁気抵抗効果型記憶素子が実現できたことが分かった。

【0050】

（実施例3）

磁気抵抗素子に非線形素子を配するために、基板上にP-I-N型の接合薄膜を作製した。P層、I層、N層は、それぞれ、30-50nm、300-400nm、30-50nmで作製し、素子形状に加工を行った。PIN薄膜の作製は約180度から約260度で行った（典型的には約220度）。その上に、実施例1と同様に多元スパッタ装置を用いて、図1(a)に示すような磁気抵抗素子を作製した。ターゲットに $\text{Ni}_{0.1}\text{Fe}_{2.9}\text{O}_4$ （磁性膜SM用）、Al（非磁性絶縁層NM用）、 Fe_{16}N_2 （磁性膜M用）を用いて（組成は全て原子%）、

$\text{Ni}_{0.1}\text{Fe}_{2.9}\text{O}_4$ (5)/AlN(1.2)/ Fe_{16}N_2 (10) （カッコ内は厚さ(nm)を表す）

の磁気抵抗素子を作製した。なお、AlNは実施例1の方法で用意した。なお、AlNと Fe_{16}N_2 との界面を観察したところ、界面状態は大変に平滑で、良好な界面性を実現していることがわかった。このことは、両者が窒化物同士であるため、相性が良いことを反映したものと考えられる。図11(a)の様に加工して作製した素子のMR特性を室温、印可磁界100 Oeで測定したところ、MR比はおよそ28%であった。このときの接合面積は、5ミクロン角で、接合インピーダンスは約20 Ω であった。得られた電流電圧特性は、図10に示すような非対称性を有しており、電流印可に対する特性の変化に方向性を付けられたことがわかった。

【0051】

MRAM動作を検証するために、センス線用導電膜にはAuを用い、ワード線用導電膜にはAuCrを用いた。記憶素子とワード線との絶縁にはプラズマCVD法に

より作製した SiO_2 あるいは SiN を用いている。

【0052】

この記憶素子の動作を確認するべく、ワード線に電流を流してHM膜を一方方向に磁化し（図8(a)）、次にやはりワード線に図8(b)のような電流パルスワード線に印可して、センス線を通じて測定した記憶素子の電圧変化をモニターした。図8(c)に示すように、記憶情報に応じて、変化がパルスとして検出でき、本発明の磁気抵抗効果型記憶素子の実現できたことが分かった。

【0053】

本実施例では、 Fe_{16}N_2 を窒化物として用いたが、 FeN_x ($0.1 \leq x \leq 0.5$)、あるいは FeMN_y ($0.5 \leq y \leq 1.0$)（ただし、ここでのMはTa、Alを示す。）を用いても、所望の動作が確認された。また本実施例では、a-SiによってP-I-N型の非線形素子を実現したが、基板上に非線形素子を配した後、磁気抵抗素子を作製するので、温度的な制約が無い。よって、多結晶あるいは単結晶SiやGaAs等の化合物半導体で本非線形素子を実現しても、同様な特性を実現できた。

【0054】

（実施例4）

実施例1と同様に多元スパッタ装置を用いて、図1(b)に示すような磁気抵抗素子を作製した。ターゲットに $\text{Ni}_{0.1}\text{Fe}_{2.9}\text{O}_4$ （磁性膜SM用）、Al（非磁性絶縁層NM用）、 Fe_{16}N_2 （磁性膜M用）、IrMn（磁化回転抑制層用）を用いて（組成は全て原子%）、

Fe_{16}N_2 (10)/AlN(1.2)/ Fe_{16}N_2 (10)/IrMn(20)（カッコ内は厚さ(nm)を表す）

の磁気抵抗素子を作製した。なお、AlNは実施例1の方法で用意した。更に、この上にAlまたはCrまたはTiを成膜し、その上にa-SiにてM-I-S型の接合薄膜を作製した。S層、I層は、それぞれ、約50nm、100-200nmにて作製した。M層はセンス線用導電膜になっている。M-I-S薄膜の作製は約180度から約260度で行った（典型的には約220度）。なお、AlNと Fe_{16}N_2 との界面を観察したところ、界面状態は大変に平滑で、良好な界面性を実現していることがわかった。このことは、両者が窒化物同士であるため、相性が良いことを反映したものと考えられる。図11

(b)の様に加工して作製した素子のMR特性を室温、印可磁界100 Oeで測定したところ、MR比はおよそ38%であった。このときの接合面積は、5ミクロン角で、接合インピーダンスは約20Wであった。このような高いMR特性はPIN薄膜作製時の熱処理が、影響しているものと考えられる。得られた電流電圧特性は、図10と類似の非対称性を有しており、電流印可に対する特性の変化に方向性を付けられたことが確認された。

【0055】

MRAM動作を検証するために、センス線用導電膜にはAuを用い、ワード線用導電膜にはAuCrを用いた。記憶素子とワード線との絶縁にはプラズマCVD法によって作製したSiO₂を用いている。

【0056】

この記憶素子の動作を確認するべく、ワード線に電流を流してSM膜を一方方向に磁化し(図9(a))、次にやはりワード線に図9(b)のような電流パルスワード線に印可して、センス線を通じて測定した記憶素子の電圧変化をモニターした。図9(c)に示すように、記憶情報に応じて、変化がパルスとして検出でき、本発明の磁気抵抗効果型記憶素子の実現できたことが分かった。

【0057】

本実施例では、強磁性体にFeの窒化物を用いたが、Coの窒化物を用いても所望の動作が確認された。また、本実施例ではM-I-S型の非線形素子を配した例を示したが、ここにa-Siを用いたP-I-N型の接合素子を配しても、同様の結果が得られた。

【0058】

(実施例5)

実施例1と同様に多元スパッタ装置を用いて、図1(a)に示すような磁気抵抗素子を作製した。ターゲットにCo(磁性膜SM用)、CoFe(磁性膜SM用)、Al(非磁性絶縁NM用)、SrTiO₃(非磁性層I用)、La_{0.7}Sr_{0.3}MnO₃(磁性膜M用)を用いて(組成は全て原子%)、Co(10)/AlN(1.5)/La_{0.7}Sr_{0.3}MnO₃(30)と

CoFe(10)/AlN(1)/SrTiO₃(2)/La_{0.7}Sr_{0.3}MnO₃(30)(カッコ内は厚さ(nm)を表す)

の磁気抵抗素子を作製した。なお、両者ともAlNは実施例1の方法で用意した。これらの素子は、半金属であるMnペロブスカイト材のスピン電子状態を反映して電流電圧特性が整流特性に類する非対称を有している。素子のMR特性を室温、印可磁界100 Oeで測定したところ、MR比はおよそ30%、26%と両者共に高い値を示した。このときの接合面積は、5ミクロン角であった。

【0059】

MRAM動作を検証するために、センス線用導電膜にはAuを用い、ワード線用導電膜にはAuCrを用いた。記憶素子とワード線との絶縁にはSiO₂を用いている。この記憶素子の動作を確認するべく、ワード線に電流を流してHM膜を一方向に磁化し（図8(a)）、次にやはりワード線に図8(b)のような電流パルスワード線に印可して、センス線を通じて測定した記憶素子の電圧変化をモニターした。2種類の磁気抵抗素子は両者とも、実施例1にて示した図8(c)のような、記憶情報に応じた変化がパルスとして検出でき、本発明の磁気抵抗効果型記憶素子が実現できたことが分かった。

【0060】

(実施例6)

実施例1と同様に多元スパッタ装置を用いて、図6に示すような磁気抵抗素子を作製した。ターゲットにNi_{0.68}Co_{0.2}Fe_{0.12}（磁性膜SM用）を、Al（非磁性絶縁NM用）を、また保磁力の違う硬質磁性膜HM用にCo_{0.9}Fe_{0.1}、Co、Co_{0.5}Fe_{0.5}を用いて（組成は全て原子%）磁気抵抗素子を作製した。HM膜の保磁力の大きさは、Co_{0.9}Fe_{0.1}、Co、Co_{0.5}Fe_{0.5}の順になっている。作製した素子は、

Ni_{0.68}Co_{0.2}Fe_{0.12} (10)/ AlN (1.5)/ Co_{0.9}Fe_{0.1} (15)/ AlN (15)/ Ni_{0.68}Co_{0.2}Fe_{0.12} (10)/ AlN (1.5) /Co(15)/ AlN (15)/ Ni_{0.68}Co_{0.2}Fe_{0.12} (10)/ AlN (1.5)/ Co_{0.5}Fe_{0.5} (15) （カッコ内は厚さ(nm)を表す）

で、3接合アレイを形成している。なお、AlNは実施例1の方法で用意した。素子のMR特性を室温、印可磁界100 Oeで測定したところ、アレイとしてのMR比はおよそ28%であった。このときの接合面積は、5ミクロン角であった。

【0061】

MRAM動作を検証するために、センス線用導電膜にはAuを用い、ワード線用

導電膜にはAuCrを用いた。記憶素子とワード線との絶縁にはSiO₂を用いている。

【0062】

この記憶素子の動作を確認するべく、ワード線に電流を流してHM膜を一方向に磁化した(図12(a))。次に、図12(b)に示すような電流パルスによって、それぞれのHM膜の磁化方向を変化させ、センス線を通じて測定したアレイ型記憶素子の電圧変化をモニターした。モニターした電圧変化により、アレイ型記憶素子に多値が記録されたことが分かった(図12(c))。多値記憶の読み出しは、図12(d)に示すように、同種のアレイ型素子の抵抗を参照し、その抵抗差により変記憶内容を検出できるため、本発明の磁気抵抗効果型記憶素子の実現できたことが分かった。

【0063】

(実施例7)

実施例1と同様に多元スパッタ装置を用いて、図1(b)に示すような磁気抵抗素子を作製した。ターゲットにNi_{0.1}Fe_{2.9}O₄(磁性膜SM用)、Al(非磁性絶縁NM用)、Ni_{0.2}Fe_{2.8}O₄(磁性膜HM用)、そして更に、Li_{0.01}Ni_{0.99}O、La_{0.85}Sr_{0.15}MnO₃、La_{0.95}Sr_{0.05}TiO₃、SrTiO₃を用いて(組成は全て原子%)磁気抵抗素子を作製した。

【0064】

まず基板上に、

La_{0.85}Sr_{0.15}MnO₃(50)/SrTiO₃(100)/La_{0.95}Sr_{0.05}TiO₃(50) (タイプA)と

Li_{0.01}Ni_{0.99}O(50)/SrTiO₃(100)/La_{0.95}Sr_{0.05}TiO₃(50) (タイプB)

を

エピタキシャル成長させ、さらにその上に、

Ni_{0.1}Fe_{2.9}O₄(15)/AlN(1.8)/Ni_{0.2}Fe_{2.8}O₄(20)(カッコ内は厚さ(nm)を表す)

を堆積した構成により、磁気抵抗素子を作製した。なお、AlNは実施例1の方法で用意した。これらの素子は、電流電圧特性が整流特性に類する非対称を有していることがわかった。このことはタイプA、Bの構造により、P-I-N型の接合が形

成されていることを示している。素子のMR特性を室温、印可磁界100 Oeで測定したところ、両者のMR比はそれぞれ、およそ25%、22%であった。このときの接合面積は、5ミクロン角であった。

【0065】

MRAM動作を検証するために、センス線用導電膜にはAuを用い、ワード線用導電膜にはAuCrを用いた。記憶素子とワード線との絶縁にはSiO₂を用いている。

【0066】

この記憶素子の動作を確認するべく、ワード線に電流を流してSM膜を一方に磁化し（図9(a)）、次にやはりワード線に図9(b)のような電流パルスワード線に印可して、センス線を通じて測定した記憶素子の電圧変化をモニターした。実施例2で示した図9(c)のような、記憶情報に応じた変化がパルスとして検出でき、本発明の磁気抵抗効果型記憶素子の実現できたことが分かった。

【0067】

(実施例8)

実施例1と同様に多元スパッタ装置を用いて、図1(b)に示すような磁気抵抗素子を作製した。ターゲットにNi_{0.1}Fe_{2.9}O₄（磁性膜SM用）、Al（非磁性絶縁層NM用）、Fe₁₂N₂（磁性膜M用）、IrMn（磁化回転抑制層用）を用いて（組成は全て原子%）、

Ni_{0.1}Fe_{2.9}O₄ (5)/AlN(1.2)/Fe₁₆N₂ (10)/IrMn(20)（カッコ内は厚さ(nm)を表す）

の磁気抵抗素子を作製した。なお、AlNは実施例1の方法で用意した。更に、この上にAlを成膜し、その上にa-SiにてP-I-N型の接合薄膜を作製した。P-I-N薄膜の作製は約180度から約260度で行った（典型的には約220度）。

【0068】

本薄膜を用いて、256×256の行列状に素子を配したMRAMデバイスを構成した。

【0069】

このとき、センス線用導電膜にはAuを用い、ワード線用導電膜にはAuCrを用いた。記憶素子とワード線との絶縁にはSiO₂を用いている。

【 0 0 7 0 】

センス線およびワード線は図 1 3 (a)に示すように、そして番地指定用のスイッチ部と信号抵抗検出部を図 1 3 (b)のように配している。記憶の書き込みについては、電流パルスを行要素と列要素のワード線にそれぞれに流し、発生する合成の磁界によって、特定の素子に対してのみ、磁化状態を変化させることができる。

【 0 0 7 1 】

ここで、ある記憶状態にあるMRAMデバイスに対して、その動作を以下のように確認した。まず番地指定用スイッチ部 1 を通じて選択される、ある特定の番地の記憶素子に対して、センス線にて選択した記憶素子の抵抗をモニターしながら、同時に番地指定用スイッチ部 2 を通じて選択される、同じく特定の番地の記憶素子に対してのみ、その素子のSM膜の磁化方向を反転させうる磁場を発生する図 8 (b)に示したような電流パルスを、行要素あるいは列要素のワード線を用いて流す。

【 0 0 7 2 】

このとき、図 8 (c)のような、記憶情報に応じた変化がパルスとして、抵抗信号検出部を通じて、検出できた。

【 0 0 7 3 】

なお、このときには、記憶状態は保存されていることから、NDRO動作であることが確認された。これらによって、本発明の磁気抵抗効果型記憶素子の実現できたことが分かった。

【 0 0 7 4 】

(実施例 9)

実施例 1 と同様に多元スパッタ装置を用いて、ターゲットに $\text{Ni}_{0.68}\text{Co}_{0.2}\text{Fe}_{0.12}$ (磁性膜SM用)、Al (非磁性絶縁層NM用)、 $\text{Co}_{0.75}\text{Pt}_{0.25}$ (磁性膜HM用)を用い (組成は全て原子%)、多元スパッタ装置により基板上に図 1 (a)に示されたようなサンドイッチタイプの

$\text{CoFe}(10)/\text{AlN}(1)/\text{CoNiFe}(15)$ (カッコ内は厚さ(nm)を表す) の磁気抵抗素子を作製した。

【0075】

素子はまず熱酸化処理を施したSi基板上にCoFeを堆積し、非磁性絶縁層NMとしてのAlNは、($N_2 + Ar$) 雰囲気中でAlをスパッタ製膜して作製した。更に、マイクロショート的なリーク部分を完全に絶縁化させるために、真空装置内の酸素雰囲気中で自然酸化処理を施した。その上にCoNiFeを堆積して素子用の薄膜を作製した。なお各膜厚はシャッターで制御して作製した。HM膜のCoPtを着磁し、素子のMR特性を室温、印可磁界100 Oeで測定したところ、MR比は26%であった。

【0076】

MRが生じる磁界幅は5 Oe、10 Oeであった。このときの接合面積は、5ミクロン角であった。このときの接合のインピーダンスは約30Wであった。さらに、接合のインピーダンスは成膜条件により、数Wから数百Wで制御することができることがわかった。また、本実施例のように、AlN作成後の酸化処理を施したことで、接合作製の歩留まりが向上し、酸化の後処理が効果的であることが分かった。

【0077】

このような接合を用いて、図1(a)に示したような記憶素子を作製した。センス線用導電膜にはPt、Auを用い、ワード線用導電膜にはAlあるいはAuCr、Ti/Au、Cu/Taを用いた。記憶素子とワード線との絶縁には CaF_2 あるいは SiO_2 を用いている。

【0078】

この記憶素子の動作を確認するべく、ワード線に電流を流してHM膜を一方に磁化し(図8(a))、次にやはりワード線に図8(b)のような電流パルスワード線に印可して、センス線を通じて測定した記憶素子の電圧変化をモニターした。図8(c)に示すように、記憶情報に応じて、変化が正負のパルスとして検出でき、本発明の磁気抵抗効果型記憶素子の実現できたことが分かった。

【0079】

(参考文献)

- 1) L.J.Schwee: Proc.INTERMAG Conf. IEEE Trans.on Magn. Kyoto (1972) 40

5.

- 2) A.V.Pohm et al.: IEEE Trans.on Magn. 28 (1992) 2356.
- 3) M.N.Baibich et al.: Phys. Rev. Lett. 61 (1988) 2472.
- 4) K.T.M.Ranmuthu et al.: IEEE Trans.on Magn. 29 (1993) 2593.
- 5) B.Dieny et al.: J.Magn.Magn.Mater. 93 (1991) 101.
- 6) H.Sakakima et al.: Jpn.J.Appl.Phys. 33 (1994) L1668.
- 7) Y.Irie et al.: Jpn.J.Appl.Phys. 34 (1995) L415.

【 0 0 8 0 】

【発明の効果】

以上説明したように、本発明のよれば、非磁性層としてA 1 Nの絶縁層を用いているので、トンネル特性が良好なTMRデバイスを作成することが可能となる。

【 0 0 8 1 】

さらに、接合インピーダンスを低く抑えることができるため、非常に微細なパターンで素子を構成することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態のMRAMの構成を示す図

【図 2】

本発明の実施の形態のMRAMの全体構成を示す図

【図 3】

本発明の他の実施の形態の構成図

【図 4】

本発明の実施の形態の動作を説明する図

【図 5】

本発明の実施の形態の動作を説明する図

【図 6】

本発明の実施例 6 の構成図

【図 7】

本発明の実施の形態で使用する非線形・非対称電気的特性素子の構成図

【図 8】

本発明の実施例 1 の動作を説明する図

【図 9】

本発明の実施例 2 の動作を説明する図

【図 1 0】

本発明の実施例 3 の電流電圧特性を示す図

【図 1 1】

本発明の実施例 3 の構成図

【図 1 2】

本発明の実施例 6 の動作を示す図

【図 1 3】

本発明の実施例 8 の構成図

【符号の説明】

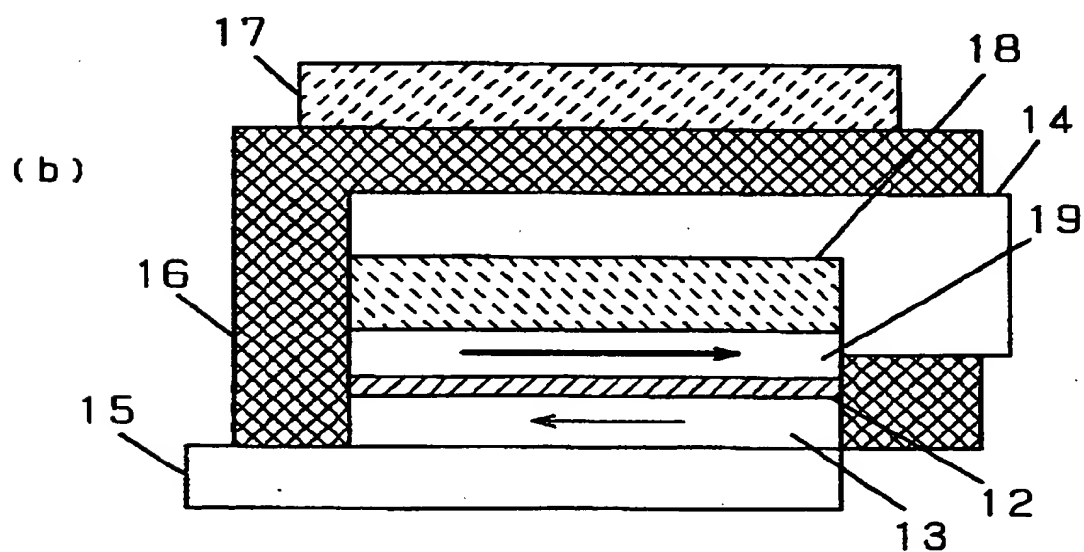
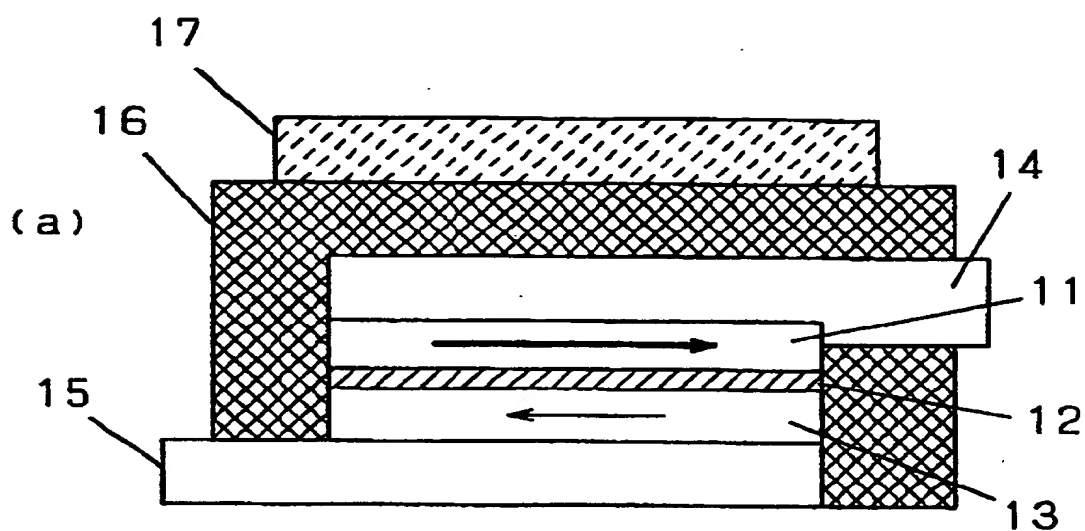
- 1 1 硬質磁性膜 HM 膜（固定層）
- 1 2 非磁性絶縁膜 NM 膜
- 1 3 軟質磁性膜 SM 膜（自由層）
- 1 4 導電膜（センス線）
- 1 5 導電膜（センス線）
- 1 6 絶縁膜 I 膜
- 1 7 導電膜（ワード線）
- 1 8 反強磁性膜あるいは磁化回転抑制層 AF 膜
- 1 9 強磁性膜 HM 膜
- 2 1 磁気抵抗効果型記憶素子
- 3 1 非磁性導電膜
- 3 2 導電膜（センス線）
- 3 3 導電膜（センス線）
- 7 1 非線形素子部
- 1 0 0 基板

- 1 0 1 非線形素子用 N チャンネル層
- 1 0 2 非線形素子用 I 層
- 1 0 3 非線形素子用 P チャンネル層
- 1 0 4 絶縁膜 I 層
- 1 0 5 非線形素子用半導体 S 層
- 1 0 6 非線形素子用絶縁体 I 層
- 1 1 1 行要素分センス線 (抵抗読み取り用)
- 1 1 2 列要素分センス線 (抵抗読み取り用)
- 1 1 3 行要素分ワード線 (書き込み用)
- 1 1 4 列要素分ワード線 (書き込み用)
- 1 1 5 センス線と素子部との結合点
- 1 1 6 磁気抵抗効果型記憶素子部
- 1 1 7 番地指定用スイッチ部 1 (行要素分)
- 1 1 8 番地指定用スイッチ部 1 (列要素分)
- 1 1 9 番地指定用スイッチ部 2 (行要素分)
- 1 2 0 番地指定用スイッチ部 2 (列要素分)
- 1 2 1 信号抵抗検出部
- 1 2 2 ワード線用信号検出部

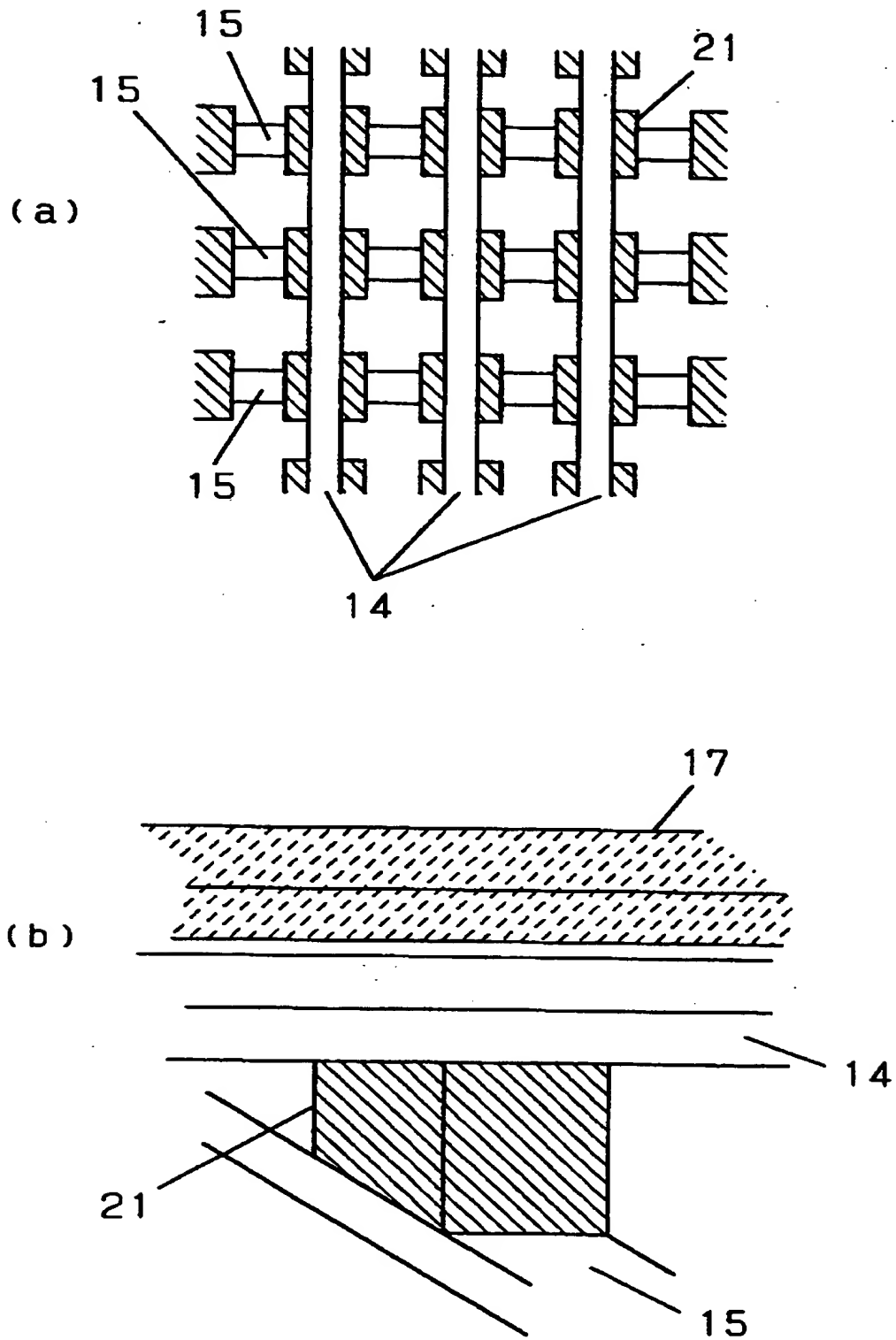
【書類名】

図面

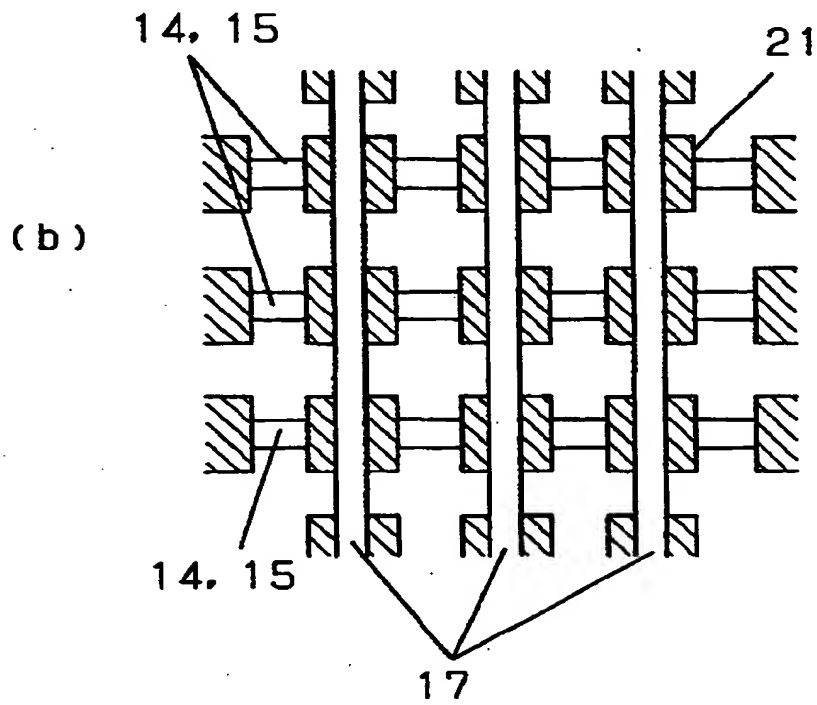
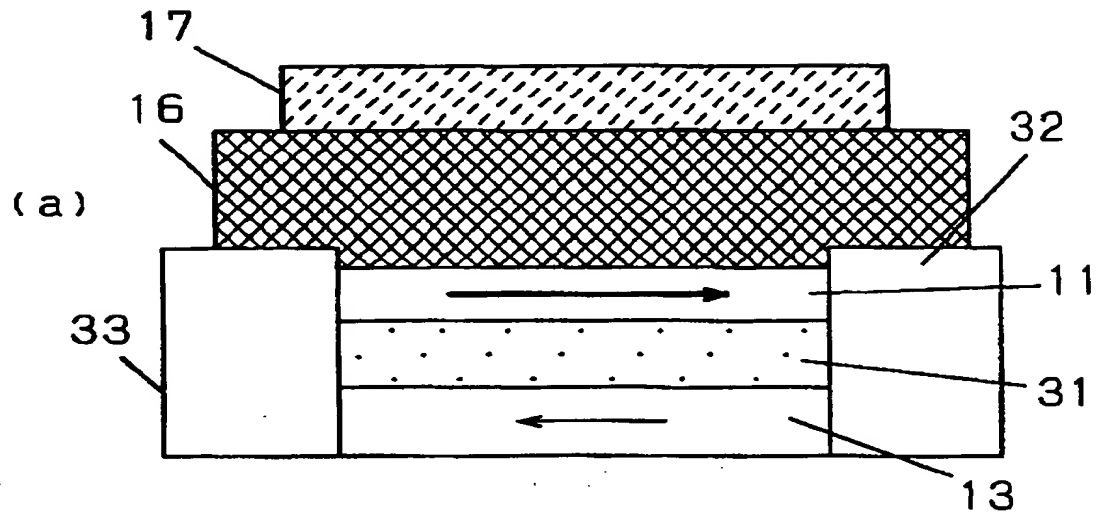
【図 1】



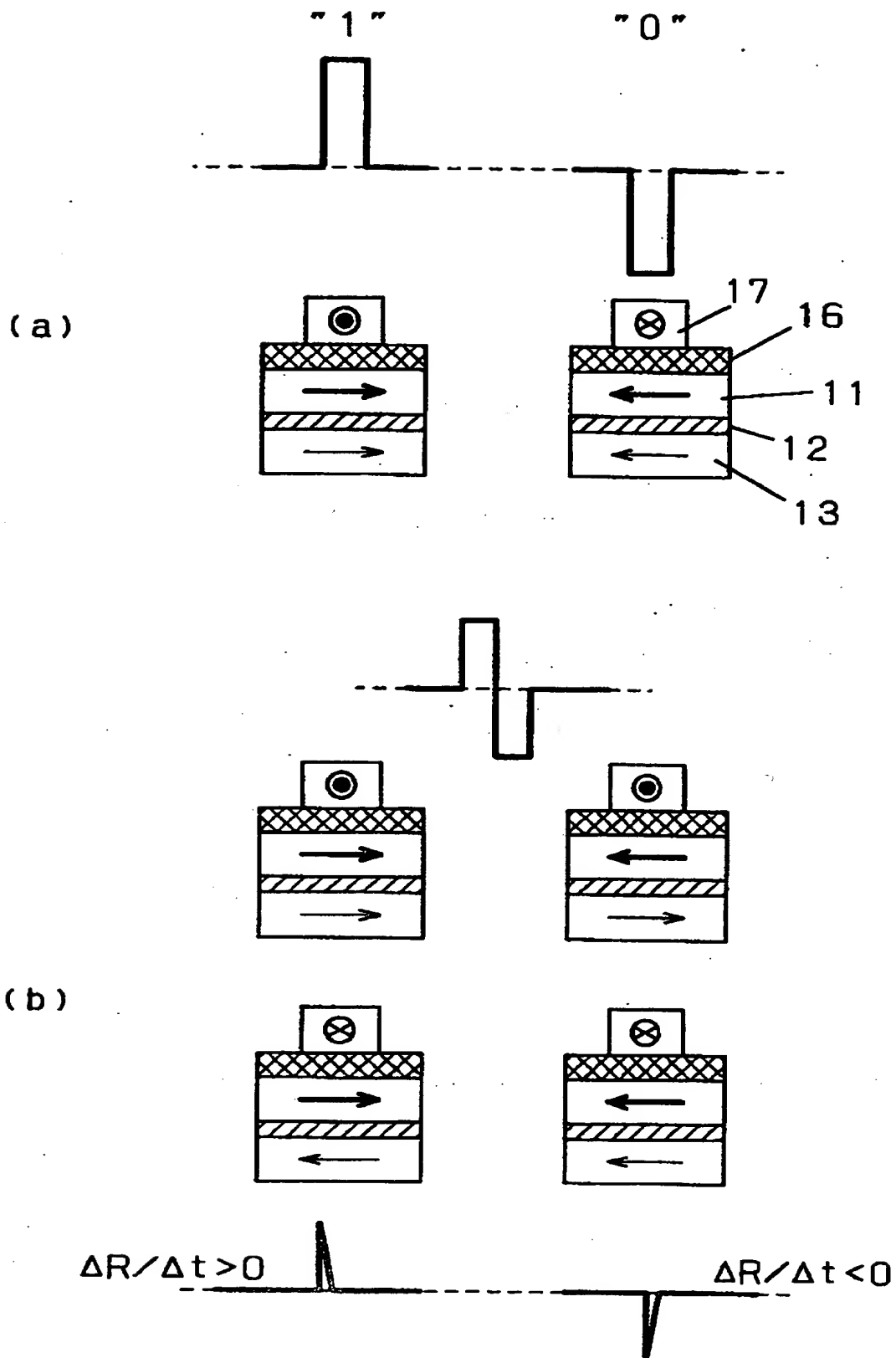
【図 2】



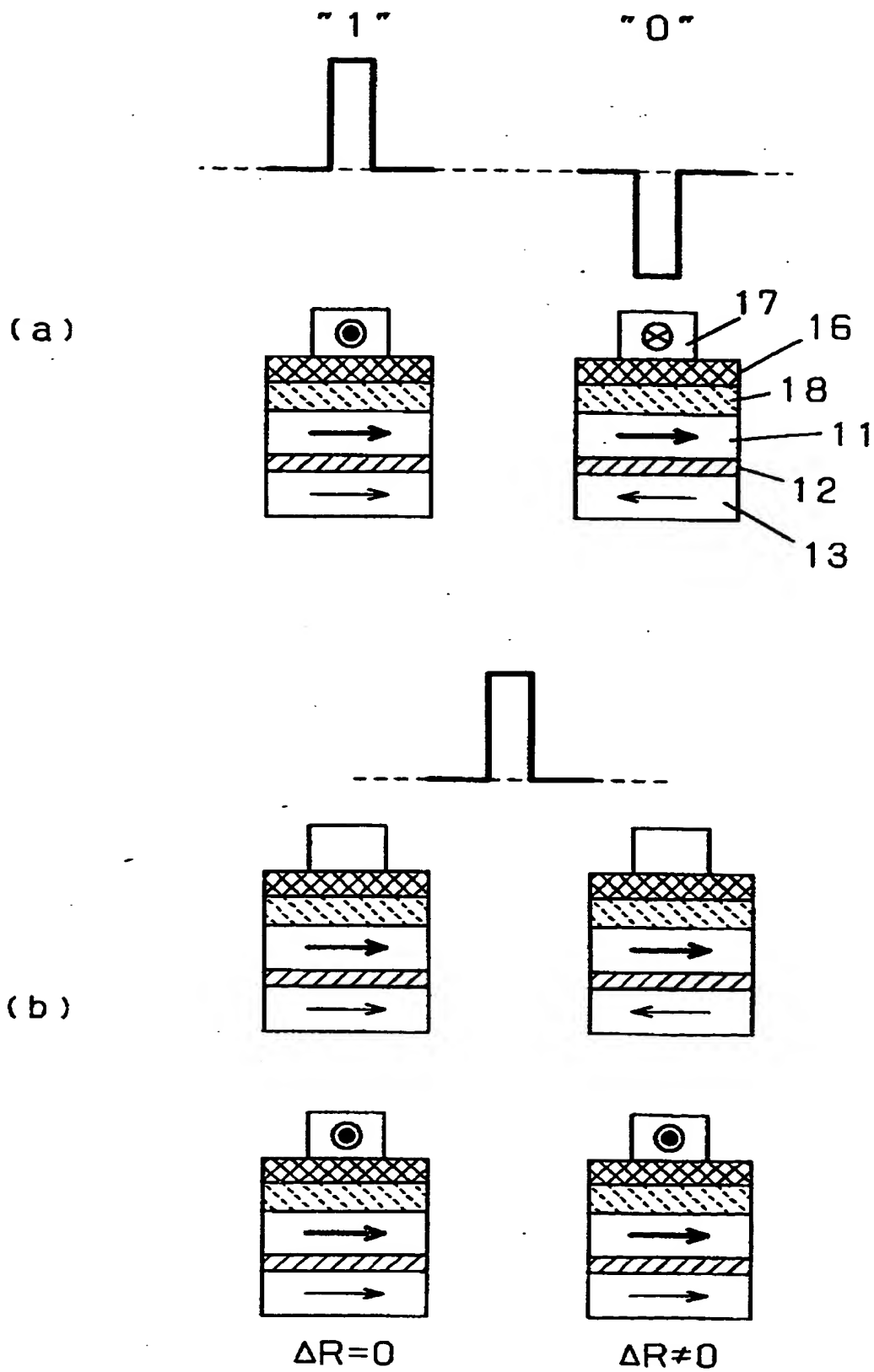
【図 3】



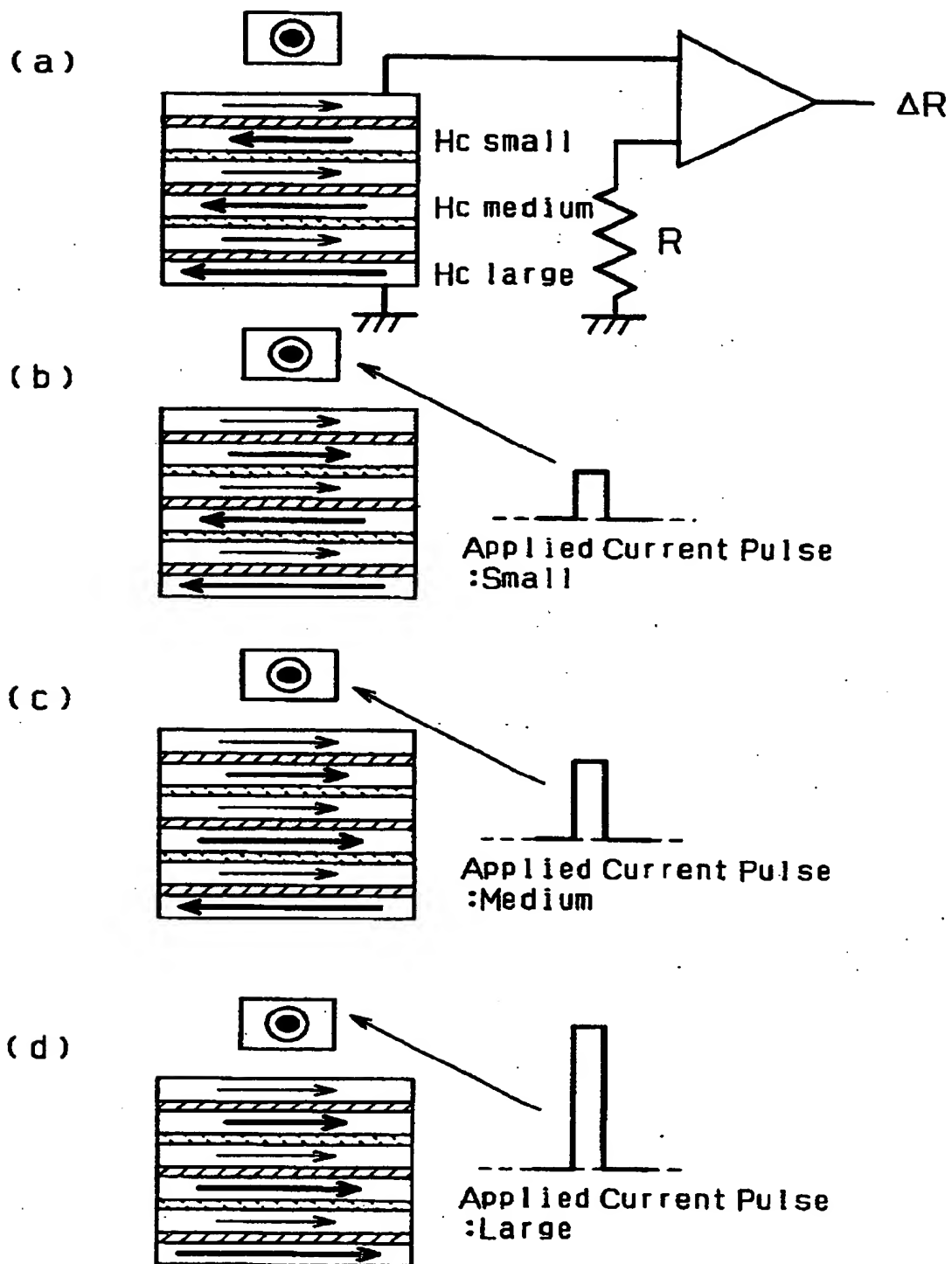
【図 4】



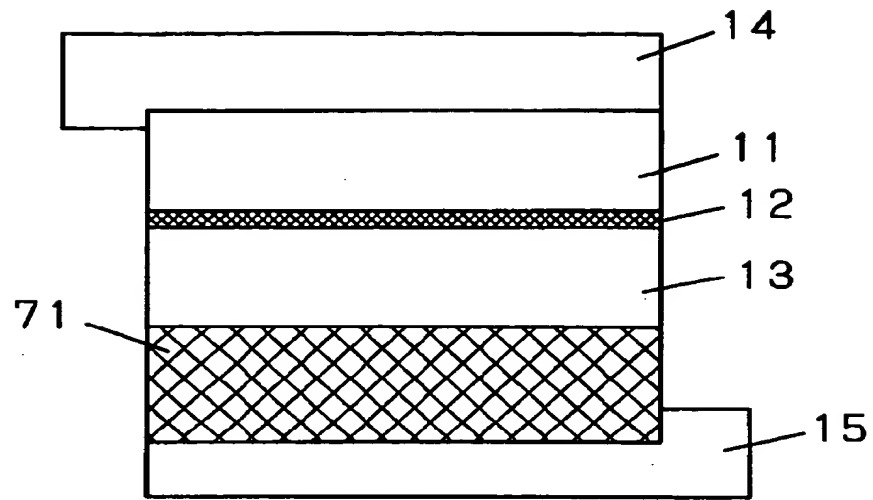
【図 5】



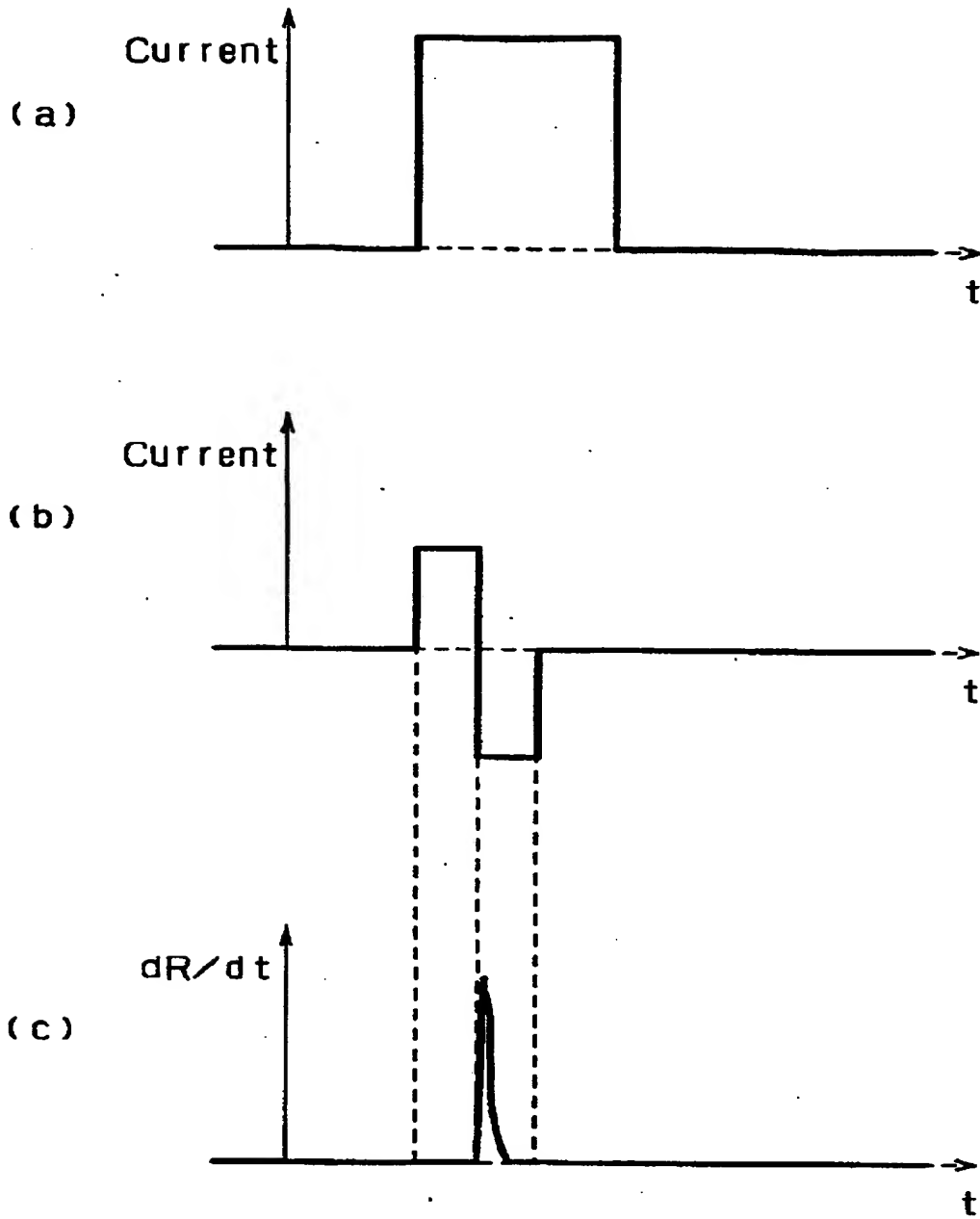
【図 6】



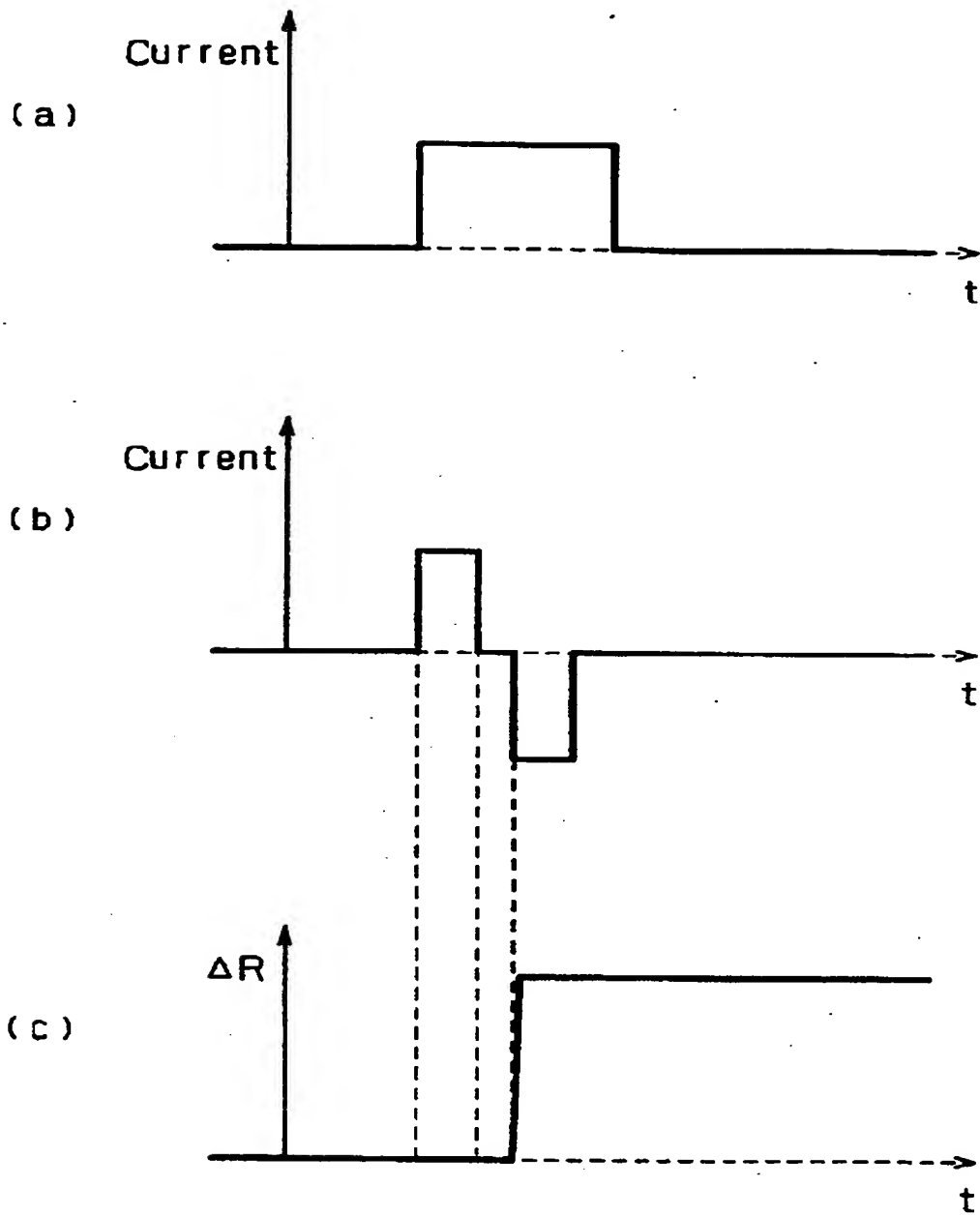
【図 7】



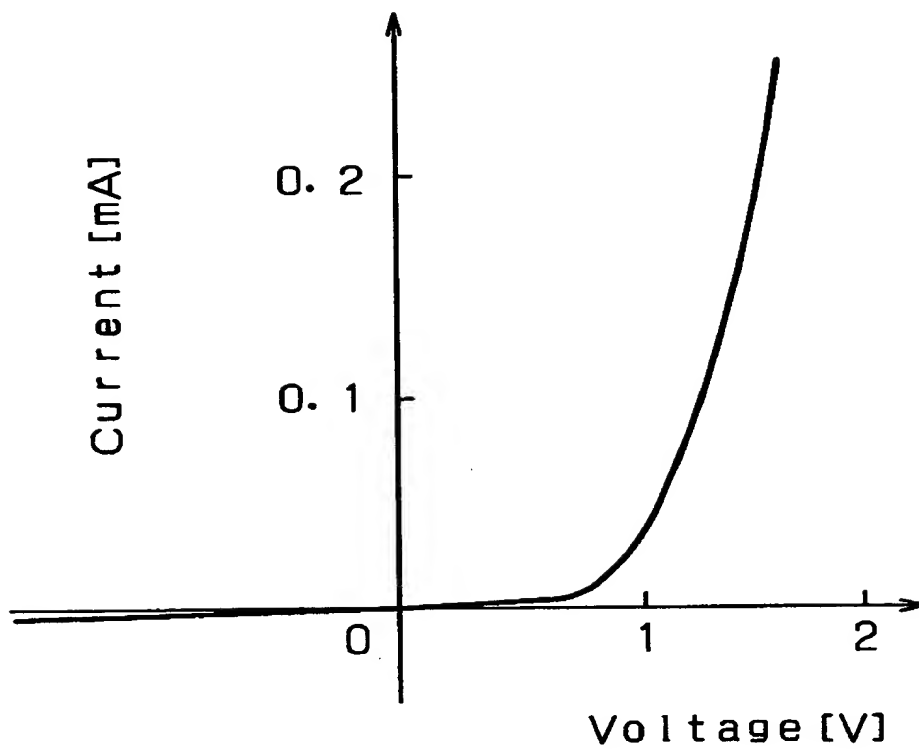
【図 8】



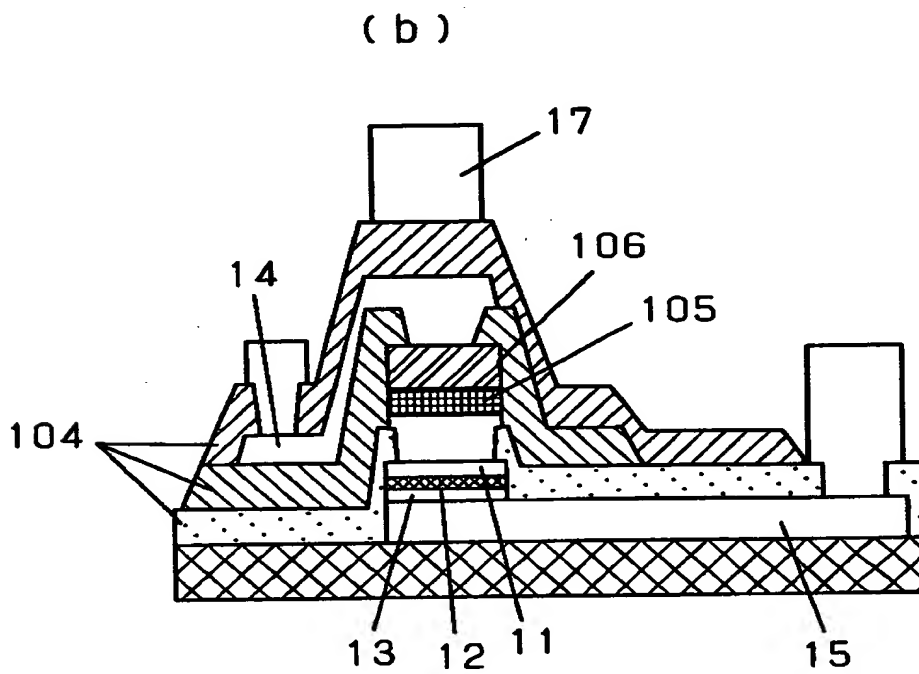
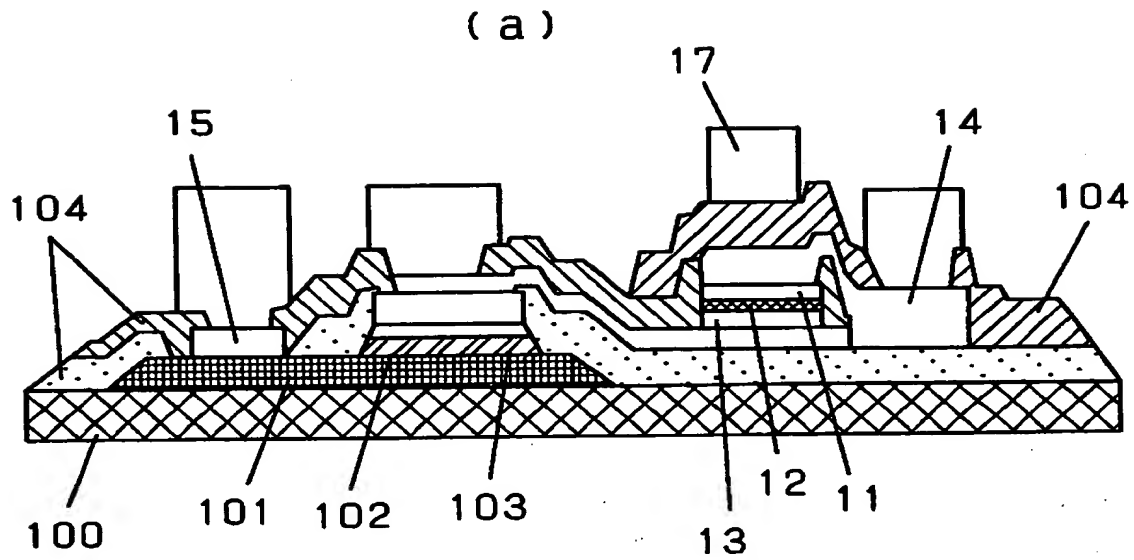
【図 9】



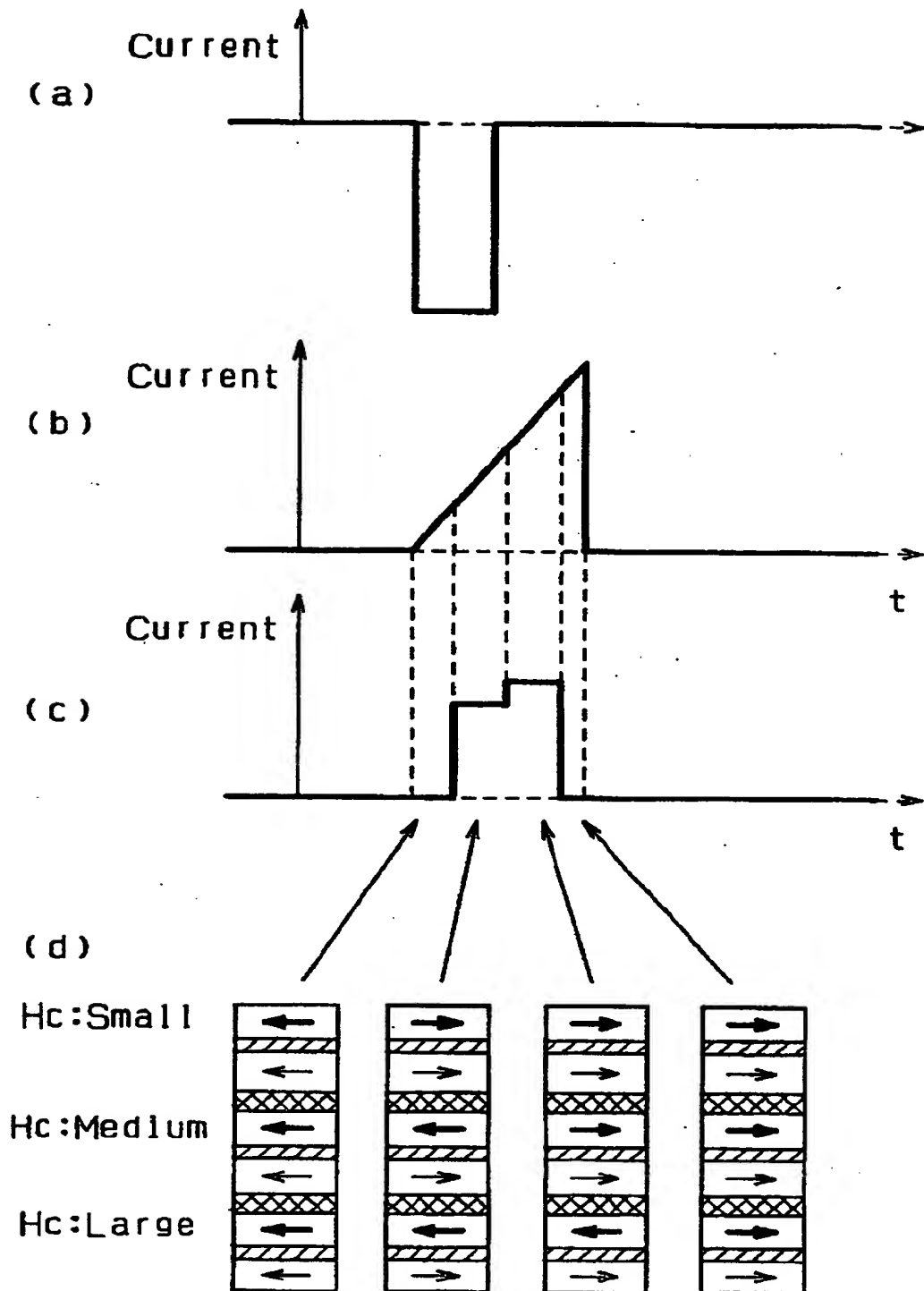
【図 1 0】



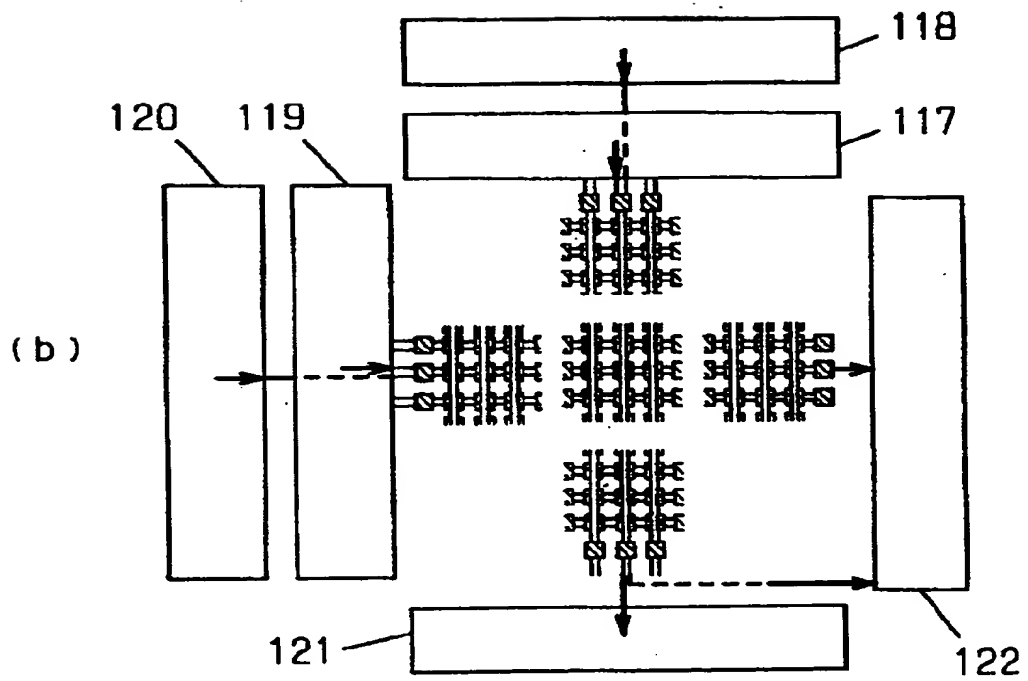
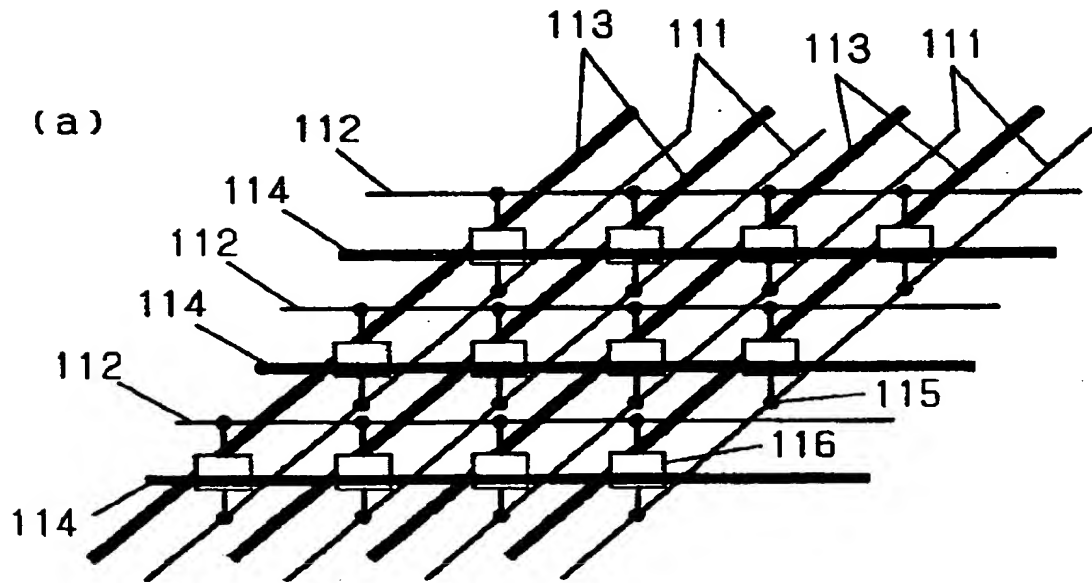
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 磁気抵抗効果型記憶素子の磁気抵抗特性を改善する素子を提供する。
。また微細パターン化した場合の磁気抵抗効果型記憶素子の反磁界増加による、
素子動作の困難さを改善する素子構成を提供する。

【解決手段】 磁気抵抗効果素子の軟磁性層 1 3 に交換結合型フェリ磁性層あ
るいは非晶質層と界面磁性層を用いることにより、反磁界を小さくしてこの課題
を解決する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社